

Docket No.: 57810-093

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Hideaki FUJIWARA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 23, 2004	:	Examiner: Unknown
	:	
For:		SEMICONDUCTOR DEVICE INCLUDING FIELD-EFFECT TRANSISTOR

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

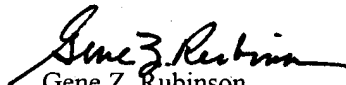
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-083000, filed March 25, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Gene Z. Robinson
Registration No. 33,351

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 GZR:tlb
Facsimile: (202) 756-8087
Date: March 23, 2004

57810-093
FUJIWARA, et al.
March 23, 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 3月25日

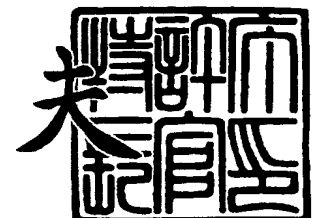
出 願 番 号
Application Number: 特願2003-083000
[ST. 10/C]: [JP2003-083000]

出 願 人
Applicant(s): 三洋電機株式会社
独立行政法人産業技術総合研究所

2004年 2月10日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特2004-3008137

【書類名】 特許願

【整理番号】 NPC1030024

【提出日】 平成15年 3月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
 三洋電機株式会社内

 【氏名】 藤原 英明

【発明者】

 【住所又は居所】 茨城県つくば市東 1 - 1 - 1
 独立行政法人産業技術総合研究所つくばセンター内

 【氏名】 鳥海 明

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【特許出願人】

 【識別番号】 301021533

 【氏名又は名称】 独立行政法人産業技術総合研究所

 【代表者】 吉川 弘之

【代理人】

 【識別番号】 100104433

 【弁理士】

 【氏名又は名称】 宮園 博一

【手数料の表示】

 【予納台帳番号】 073613

 【納付金額】 14,700円

【その他】 国等の委託研究の成果に係る特許出願（平成 1 4 年度新

エネルギー・産業技術総合開発機構「次世代半導体材料
・プロセス基盤技術開発」委託研究、産業活力再生特別
措置法第 3 0 条の適用を受けるもの)

国等以外の全ての者の持分の割合 7 0 / 1 0 0

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0001887

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 シリコン領域の主表面に、チャネル領域を規定するように所定の間隔を隔てて形成され、上方に持ち上げられたエレベーター構造を有する一対のソース／ドレイン領域と、

前記チャネル領域上に形成された 3.9 よりも大きい比誘電率を有する高誘電率絶縁膜からなるゲート絶縁膜と、

前記ゲート絶縁膜に接触するとともに、前記ソース／ドレイン領域を構成するシリコンのバンドギャップ端のエネルギーレベルの近傍のフェルミレベルを有するように仕事関数が制御された第 1 金属層を含むゲート電極とを備えた、半導体装置。

【請求項 2】 前記ゲート電極は、

前記仕事関数が制御された第 1 金属層と、

前記第 1 金属層上に形成され、前記第 1 金属層よりも大きい厚みを有する第 2 金属層とを含む、請求項 1 に記載の半導体装置。

【請求項 3】 前記エレベーター構造を有する一対のソース／ドレイン領域の上面に、金属シリサイド膜を介在させることなく接触するように形成され、前記ソース／ドレイン領域を構成するシリコンのバンドギャップ端のエネルギーレベルの近傍のフェルミレベルを有するように仕事関数が制御された第 3 金属層を含むソース／ドレイン電極をさらに備える、請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記エレベーター構造を有する一対のソース／ドレイン領域は、

前記仕事関数が制御された第 3 金属層と、

前記第 3 金属層上に形成され、前記第 3 金属層よりも大きい厚みを有する第 4 金属層とを含む、請求項 3 に記載の半導体装置。

【請求項 5】 前記シリコン領域は、絶縁物上に形成されたシリコン層を含む、請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記エレベータ構造を有する一対のソース／ドレイン領域の外側に形成され、前記絶縁物に達する素子分離用絶縁膜をさらに備える、請求項 5 に記載の半導体装置。

【請求項 7】 シリコン領域の主表面に、チャネル領域を規定するように所定の間隔を隔てて形成された一対のソース／ドレイン領域と、

前記チャネル領域上に形成された 3.9 よりも大きい比誘電率を有する高誘電率絶縁膜からなるゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記ゲート絶縁膜に接触する金属層を含むゲート電極と、

前記一対のソース／ドレイン領域の上面に、金属シリサイド膜を介在させることなく接触するように形成され、前記ソース／ドレイン領域を構成するシリコンのバンドギャップ端のエネルギーレベルの近傍のフェルミレベルを有するように仕事関数が制御された金属層を含むソース／ドレイン電極とを備えた、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置に関し、特に、MOS トランジスタを含む半導体装置に関する。

【0002】

【従来の技術】

従来、シリコン基板の表面に形成された MOS トランジスタ（電界効果型トランジスタ）では、素子の微細化に伴って、ソース／ドレイン間の間隔が小さくなるので、パンチスルー現象が発生しやすくなる。このパンチスルー現象を抑制するために、チャネル領域の不純物濃度を高くする必要がある。このようにチャネル領域の不純物濃度を高くすると、不純物によるクーロン散乱の確率が増加するのみならず、反転層がより薄くなるため、チャネル領域を流れる電子は、ゲート絶縁膜とシリコン基板との界面における界面散乱の影響を受けやすい。

【0003】

具体的には、反転層がより薄くなると、ゲート電界によってゲート絶縁膜に電子が押し付けられやすくなるので、電子の移動度が低下するという不都合があった。このような不都合を解決するための一例として、SOI (Silicon on insulator) 構造を有するMOSトランジスタが有望視されている。SOI構造を有するMOSトランジスタでは、チャネル領域が形成されるシリコン層の厚みを薄くすることによりパンチスルーが抑制されるので、チャネル領域の不純物濃度を低くすることができる。これにより、ゲート電界でシリコン層を容易に制御することが可能となる。これにより、ゲート電界を低くすることができるので、電子がゲート絶縁膜とシリコン層との界面におけるゲート絶縁膜側に押し付けられる確率が小さくなる。このため、界面散乱の影響を小さくすることが可能となり、不純物によるクーロン散乱も減少させることができるので、SOI構造を有するMOSトランジスタでは、電子の移動度を上昇させることが可能となる。

【0004】

また、従来、SOI構造において、ソース／ドレイン領域の抵抗の低減を図るために、ソース／ドレイン領域を持ち上げた構造のエレベーター構造を有するソース／ドレイン領域が提案されている（たとえば、非特許文献1）。

【0005】

この非特許文献1に開示された構造では、SOI構造において、能動層となるシリコン層のソース／ドレイン領域の部分を上側に持ち上げた構造を有しており、ソース／ドレイン領域のシリコン層の厚みがチャネル領域の厚みよりも大きくなるように形成されている。これにより、チャネル領域の厚みを小さくしながら、ソース／ドレイン領域の厚みを大きくすることができるので、電子の移動度を向上させながら、ソース／ドレイン領域の抵抗を低減することが可能となる。また、非特許文献1に開示された構造では、チャネル領域上に、高誘電率絶縁膜からなるゲート絶縁膜を介して、ポリシリコン膜からなるゲート電極が形成されている。

【0006】

【非特許文献1】

“Transistor Elements for 30nm Physical Gate Length and Beyond”, Intel Technology Journal, Vol. 06, May 16, 2002, ISSN1535766X, pp. 42-54

【発明が解決しようとする課題】

しかしながら、上記非特許文献1に開示されたエレベータッド構造を有するソース／ドレイン領域を含むSOI構造のMOSトランジスタでは、ゲート電極としてポリシリコン膜を用いているため、ゲート絶縁膜近傍のポリシリコン膜が空乏化するという不都合があった。このようにゲート絶縁膜近傍のポリシリコン膜が空乏化すると、実効的なゲート絶縁膜の厚みが大きくなるので、素子性能が劣化するという問題点があった。

【0007】

そこで、ポリシリコン膜からなるゲート電極に代えて、金属からなるゲート電極を用いることも考えられる。このように金属からなるゲート電極（メタルゲート）を用いれば、ゲート絶縁膜近傍の金属が空乏化することはないので、実効的なゲート絶縁膜の厚みが大きくなるという不都合も生じない。

【0008】

しかしながら、ゲート電極を金属により形成すると、金属からなるゲート電極とゲート絶縁膜との界面で、金属のフェルミレベルのピニングが発生するため、しきい値電圧の制御を低電圧で行うことが困難になるという問題点があった。

【0009】

この発明は上記のような課題を解決するためになされたものであり、この発明の1つの目的は、金属からなるゲート電極を用いる場合に、金属のフェルミレベルのピニングを抑制することが可能な半導体装置を提供することである。

【0010】

【課題を解決するための手段】

この発明の第1の局面による半導体装置は、シリコン領域の主表面に、チャネル領域を規定するように所定の間隔を隔てて形成され、上方に持ち上げられたエレベータッド構造を有する一対のソース／ドレイン領域と、チャネル領域上に形

成された 3.9 よりも大きい比誘電率を有する高誘電率絶縁膜からなるゲート絶縁膜と、ゲート絶縁膜に接触するとともに、ソース／ドレイン領域を構成するシリコンのバンドギャップ端のエネルギーレベルの近傍のフェルミレベルを有するように仕事関数が制御された第 1 金属層を含むゲート電極とを備えている。

【0011】

この第 1 の局面による半導体装置では、上記のように、上方に持ち上げられたエレベーター構造を有する一対のソース／ドレイン領域を設けることによって、ソース／ドレイン領域の抵抗を低減することができる。また、ゲート絶縁膜に接触するとともに、チャンネル領域を構成するシリコンのバンドギャップ端のエネルギーレベルの近傍のフェルミレベルを有するように仕事関数が制御された第 1 金属層を含むゲート電極を設けることによって、ゲート電極とゲート絶縁膜との界面における第 1 金属層間絶縁膜のピンングを抑制することができるので、金属からなるゲート電極を用いた場合にも、しきい値電圧が高くなるのを抑制することができる。なお、仕事関数が制御された第 1 金属層は、低温（ -100°C 以下）および高真空（ $\sim 1 \times 10^6 \text{ Pa}$ 以下）条件下で堆積するか、または、ALD（Atomic Layer Deposition）法により原子層レベルで制御して堆積することによって、形成するのが好ましい。

【0012】

この場合、好ましくは、ゲート電極は、仕事関数が制御された第 1 金属層と、第 1 金属層上に形成され、第 1 金属層よりも大きい厚みを有する第 2 金属層とを含む。このように構成すれば、第 2 金属層として、通常の配線材料として用いられる金属層を用いることができるので、製造プロセスが比較的複雑な仕事関数が制御された第 1 金属層のみによってゲート電極を形成する場合に比べて、ゲート電極の製造プロセスを容易に行うことができる。なお、本発明の第 1 金属層および第 2 金属層は、金属単体からなる層のみならず、金属化合物からなる層も含む広い概念である。

【0013】

上記第 1 の局面による半導体装置において、好ましくは、エレベーター構造を有する一対のソース／ドレイン領域の上面に、金属シリサイド膜を介在させる

ことなく接触するように形成され、ソース／ドレイン領域を構成するシリコンのバンドギャップ端のエネルギーレベルの近傍のフェルミレベルを有するように仕事関数が制御された第3金属層を含むソース／ドレイン電極をさらに備える。このように構成すれば、ソース／ドレイン領域の不純物濃度が低い場合にも、ソース／ドレイン領域とソース／ドレイン電極との接合を、オーミック接触で、かつ、非常に低抵抗な接合にすることができる。これにより、ソース／ドレイン領域とソース／ドレイン電極とからなるソース／ドレインの抵抗をより低抵抗化することができるとともに、微細化した場合にも、不純物濃度が低いソース／ドレイン領域により、短チャネル効果を抑制することができる。また、短チャネル効果を抑制することにより、チャネル領域の不純物濃度を低くすることができるので、しきい値電圧を低減することができる。

【0014】

この場合、好ましくは、エレベーター構造を有する一対のソース／ドレイン領域は、仕事関数が制御された第3金属層と、第3金属層上に形成され、第3金属層よりも大きい厚みを有する第4金属層とを含む。このように構成すれば、第4金属層として、通常のソースドレイン電極に用いられる金属層を用いることができるので、製造プロセスが比較的複雑な仕事関数が制御された第3金属層のみによってソース／ドレイン電極を形成する場合に比べて、ソース／ドレイン電極の製造プロセスを容易に行うことができる。なお、本発明の第3金属層および第4金属層は、金属単体からなる層のみならず、金属化合物からなる層も含む広い概念である。

【0015】

上記第1の局面による半導体装置において、好ましくは、シリコン領域は、絶縁物上に形成されたシリコン層を含む。このように構成すれば、いわゆるSOI (Silicon on Insulator) 構造の小さい厚みのシリコン層からなる能動層を形成することができるので、パンチスルーが抑制される。これにより、チャネル領域の不純物濃度を低くすることができるので、低いゲート電圧でオンオフ制御が可能となる。これにより、電子がゲート絶縁膜とシリコン層との界面に押し付けられる確率が低くなるので、界面散乱の影響を小さくするこ

とが可能となり、不純物によるクーロン散乱も減少させることができる。その結果、電子の移動度を大きくすることができる。

【0016】

この場合、好ましくは、エレベータッド構造を有する一対のソース／ドレイン領域の外側に形成され、絶縁物に達する素子分離用絶縁膜をさらに備える。このように構成すれば、SOI構造で、かつ、エレベータッド構造を有する一対のソース／ドレイン領域を含む構造において、容易に、素子分離を行うことができる。

【0017】

この発明の第2の局面による半導体装置は、シリコン領域の主表面に、チャンネル領域を規定するように所定の間隔を隔てて形成された一対のソース／ドレイン領域と、チャンネル領域上に形成された3.9よりも大きい比誘電率を有する高誘電率絶縁膜からなるゲート絶縁膜と、ゲート絶縁膜上に形成され、ゲート絶縁膜に接触する金属層を含むゲート電極と、一対のソース／ドレイン領域の上面に、金属シリサイド膜を介在させることなく接触するように形成され、ソース／ドレイン領域を構成するシリコンのバンドギャップ端のエネルギーレベルの近傍のフェルミレベルを有するように仕事関数が制御された金属層を含むソース／ドレイン電極とを備えている。

【0018】

この第2の局面による半導体装置では、上記のように、一対のソース／ドレイン領域の上面に、金属シリサイド膜を介在させることなく接触するように、ソース／ドレイン領域を構成するシリコンのバンドギャップ端のエネルギーレベルの近傍のフェルミレベルを有するように仕事関数が制御された金属層を含むソース／ドレイン電極を設けることによって、ソース／ドレイン領域の不純物濃度が低い場合にも、ソース／ドレイン領域とソース／ドレイン電極との接合を、オーミック接触で、かつ、非常に低抵抗な接合にすることができる。これにより、ソース／ドレイン領域とソース／ドレイン電極とからなるソース／ドレインの抵抗をより低抵抗化することができるとともに、微細化した場合にも、不純物濃度が低いソース／ドレイン領域により、短チャンネル効果を抑制することができる。また、

短チャネル効果を抑制することにより、チャネル領域の不純物濃度を低くすることができ、しきい値電圧を低減することができる。

【0019】

【発明の実施の形態】

以下、本発明を具体化した実施形態を図面に基づいて説明する。

【0020】

(第1実施形態)

図1は、本発明の第1実施形態による半導体装置を示した断面図である。図1を参照して、まず、第1実施形態による半導体装置の構造について説明する。

【0021】

この第1実施形態による半導体装置では、シリコン基板1上に、埋め込み酸化膜2が形成されている。埋め込み酸化膜2上の所定領域には、SOI層としての単結晶シリコン層3が形成されている。なお、単結晶シリコン層3は、本発明の「シリコン領域」および「シリコン層」の一例である。単結晶シリコン層3には、チャネル領域3aを挟むように所定の間隔を隔てて一対のn型のソース／ドレイン領域3bが形成されている。単結晶シリコン層3のチャネル領域3a上には、凹部3cが形成されている。単結晶シリコン層3のチャネル領域3aの部分の厚みは、約30nmであり、ソース／ドレイン領域3bの厚みは、約100nmである。このように、この第1実施形態では、ソース／ドレイン領域3bがチャネル領域3aに対して持ち上げられたエレベーター構造を有する。

【0022】

また、単結晶シリコン層3を取り囲むように、埋め込み酸化膜2に達する約100nmの厚みを有するSiN膜からなる素子分離用絶縁膜4が形成されている。単結晶シリコン層3のチャネル領域3a上の凹部3cには、U字状に、高誘電率絶縁膜であるHfO₂膜からなるゲート絶縁膜6が形成されている。このHfO₂膜は、SiO₂膜換算膜厚で約1nmの膜厚を有する。

【0023】

ここで、この第1実施形態では、U字状のゲート絶縁膜6の内面に沿って、約10nmの厚みを有するHf膜7が形成されている。このHf膜7は、仕事関数

が約 3.9 eV に制御されている。このため、Hf 膜 7 のフェルミレベルが単結晶シリコン層 3 を構成するシリコンの伝導帯のエネルギーレベルの近傍に位置することになる。また、U 字状の Hf 膜 7 によって囲まれた領域を埋め込むように、Hf 膜 7 よりも大きい厚みを有する TaN 膜 8 が形成されている。仕事関数が制御された Hf 膜 7 と、仕事関数が制御されない TaN 膜 8 とによって、メタルゲート 10 が構成されている。一対のソース／ドレイン領域 3b と、ゲート絶縁膜 6 と、メタルゲート 10 とによって、SOI 構造の MOS トランジスタが構成されている。なお、Hf 膜 7 は、本発明の「第 1 金属層」の一例であり、TaN 膜 8 は、本発明の「第 2 金属層」の一例である。

【0024】

また、U 字状のゲート絶縁膜 6 の側面には、SiO₂ 膜からなるサイドウォール絶縁膜 9 が形成されている。また、ソース／ドレイン領域 3b の上面には、CoSi 膜などからなる金属シリサイド膜 5 が形成されている。

【0025】

第 1 実施形態では、上記のように、SOI 構造において、チャネル領域 3a に対して上方に持ち上げられたソース／ドレイン領域 3b を形成することによって、ソース／ドレイン領域 3b の抵抗を低減することができる。また、ゲート絶縁膜 6 に接触するとともに、単結晶シリコン層 3 を構成するシリコンの伝導帯の近傍のフェルミレベルを有する仕事関数が制御された Hf 膜 7 を含むメタルゲート 10 を設けることによって、メタルゲート 10 とゲート絶縁膜 6 との界面におけるピンングを抑制することができる。これにより、しきい値電圧の制御を低電圧で行うことができる。

【0026】

また、第 1 実施形態では、仕事関数が制御された約 10 nm の小さい厚みを有する Hf 膜 7 と、Hf 膜 7 よりも大きな厚みを有するとともに、従来からのメタルゲート材料である TaN 膜 8 とによってメタルゲート 10 を構成することによって、製造プロセスが比較的複雑な仕事関数が制御された Hf 膜 7 のみによってメタルゲート 10 を形成する場合に比べて、メタルゲート 10 の製造プロセスを容易に行うことができる。

【0027】

なお、第1実施形態では、上記のように、SOI構造の小さい厚みのチャネル領域3aを有する単結晶シリコン層3を設けることによって、パンチスルーが抑制されるので、チャネル領域3aの不純物濃度を低くすることができる。これにより、低いゲート電圧でオンオフ制御が可能となる。このため、電子がゲート絶縁膜6と単結晶シリコン層3との界面に押し付けられる確率が低くなるので、界面散乱の影響を小さくすることが可能となり、不純物によるクーロン散乱も減少させることができる。これにより、電子の移動度を大きくすることができるので、動作速度を向上させることができる。

【0028】

また、第1実施形態では、エレベータッド構造を有するソース／ドレイン領域3bの外側に、埋め込み酸化膜2に達するように、SiN膜からなる素子分離用絶縁膜4を設けることによって、SOI構造で、かつ、エレベータッド構造を有する一対のソース／ドレイン領域3bを含む構造において、容易に、素子分離を行うことができる。

【0029】

また、エレベータッド構造を有するソース／ドレイン領域3b上に、CoSi膜からなる金属シリサイド膜5を形成することによって、ソース／ドレイン領域3bの抵抗をさらに低減することができる。

【0030】

図2～図8は、図1に示した第1実施形態による半導体装置の製造プロセスを説明するための断面図である。次に、図1～図8を参照して、第1実施形態による半導体装置の製造プロセスについて説明する。

【0031】

まず、図2に示すように、シリコン基板1上に埋め込み酸化膜2を介して単結晶シリコン層3が形成されたSOI基板を用意する。そして、フォトリソグラフィ技術とドライエッチング技術とを用いて、素子分離領域に位置する単結晶シリコン層3を除去した後、SiN膜（図示せず）を約150nmの厚みで形成する。そして、そのSiN膜の余分な堆積部分を、CMP（Chemical Me

mechanical Polishing) 法またはエッチバック法により除去することによって、図2に示されるようなSiN膜からなる素子分離用絶縁膜4が形成される。

【0032】

次に、図3に示すように、単結晶シリコン層3の表面に熱酸化法を用いてシリコン酸化膜11を形成する。シリコン酸化膜11を介して、単結晶シリコン層3に砒素(As)イオンを、注入エネルギー:約10keV、注入量:約 1×10^{15} cm⁻²の条件下でイオン注入した後、約1000℃で約10秒間の熱処理を行うことによって、注入した不純物を拡散するとともに電氣的に活性化する。この後、希フッ酸またはバッファードフッ酸によりシリコン酸化膜11を除去する。

【0033】

次に、図4に示すように、全面を覆うように、CVD法を用いて、シリコン酸化膜12を約200nmの厚みで堆積する。さらに、シリコン酸化膜12上に、CVD法を用いて、ポリシリコン膜13を約70nmの厚みで堆積する。そして、ポリシリコン膜13上の所定領域に、レジスト膜14を形成する。そして、レジスト膜14をマスクとして、ポリシリコン膜13およびシリコン酸化膜12をドライエッチングすることにより、図5に示されるような溝状の開口部を形成する。この場合のドライエッチングは、エッチング時間と、シリコン酸化膜12と単結晶シリコン層3との選択比の違いとを用いて、自動的に停止するように制御される。このため、単結晶シリコン層3はほとんど削られることがない。この後、レジスト膜14を除去する。

【0034】

次に、ポリシリコン膜13およびシリコン酸化膜12をマスクとして、単結晶シリコン層3をドライエッチングする。この際、シリコン酸化膜12の上に位置するポリシリコン膜13も同時にエッチングされる。この場合、約70nmの厚みを有するポリシリコン膜13がエッチングされてその下に位置するシリコン酸化膜12が露出するとプラズマの発光波形が変化する。この発光波形の変化を検出することによりエッチングを停止する。これにより、図6に示すような凹部3cを有する単結晶シリコン層3が形成される。なお、簡単化のため、ポリシリコ

ンと単結晶シリコンとが同じエッチング速度を持っているとして扱うと、単結晶シリコン層 3 は、約 70 nm の厚み分だけエッチングされるので、チャンネル領域 3 a の厚みは約 30 nm になる。この後、露出された凹部 3 c の単結晶シリコン層 3 の表面を約 10 nm の厚み分だけ熱酸化することによりシリコン酸化膜（図示せず）を形成した後、そのシリコン酸化膜を希フッ酸またはバッファードフッ酸を用いて除去する。

【0035】

この後、図 7 に示すように、CVD 法またはスパッタ法を用いて、シリコン酸化膜の凹部 3 c を含む全面に、 HfO_2 膜（高誘電率絶縁膜）を、 SiO_2 膜換算膜厚で約 1 nm の厚みで堆積することによって、ゲート絶縁膜 6 を形成する。そのゲート絶縁膜 6 上に、スパッタ法を用いて、ゲート絶縁膜 6 との界面で表面反応が起こらない非常に低温（たとえば -100°C 以下）の温度条件下で、仕事関数がほぼ一定（約 3.9 eV）に制御された Hf 膜 7 を約 10 nm の厚みで堆積する。この後、スパッタ法または CVD 法を用いて、Hf 膜 7 によって囲まれた領域を埋め込むように TaN 膜 8 を形成する。この後、CMP 法を用いて、TaN 膜 8、Hf 膜 7 およびゲート絶縁膜 6 の余分な堆積部分を除去することによって、図 8 に示されるような平坦化された形状が得られる。この後、ドライエッチングを用いてシリコン酸化膜 12 を除去する。

【0036】

最後に、図 1 に示したように、CVD 法を用いて、シリコン酸化膜（図示せず）を約 50 nm の厚みで形成した後、そのシリコン酸化膜を異方性エッチングすることによって、シリコン酸化膜からなるサイドウォール絶縁膜 9 を形成する。この後、スパッタ法を用いて、全面に、Co 膜を堆積した後、熱処理を施すことによって、ソース／ドレイン領域 3 b の表面に金属シリサイド膜（ CoSi 膜）5 を形成する。このようにして、第 1 実施形態による半導体装置が形成される。なお、この後、図示しない層間絶縁膜および配線部分を形成する。

【0037】

（第 2 実施形態）

図 9 は、本発明の第 2 実施形態による半導体装置を示した断面図である。図 9

を参照して、この第2実施形態では、上記した第1実施形態と異なり、単結晶シリコン層と金属層とによってエレベータッド構造のソース／ドレイン領域を形成した例について説明する。

【0038】

具体的には、この第2実施形態による半導体装置では、シリコン基板21上に埋め込み酸化膜22が形成されている。埋め込み酸化膜22上の所定領域には、約30nmの厚みを有するSOI層としての単結晶シリコン層23が形成されている。なお、単結晶シリコン層23は、本発明の「シリコン領域」および「シリコン層」の一例である。単結晶シリコン層23には、チャネル領域23aを挟むように、所定の間隔を隔ててn型のソース／ドレイン領域23bが形成されている。チャネル領域23a上には、U字状のHfO₂膜（高誘電率絶縁膜）からなるゲート絶縁膜25が、SiO₂膜換算膜厚で約1nmの厚みを有するように形成されている。このU字状のゲート絶縁膜25の内面に沿って、約10nmの厚みを有する仕事関数が約3.9eVに制御されたHf膜26が形成されている。このU字状のHf膜26によって囲まれた領域を充填するように、Hf膜26よりも厚みの大きいTa₂N膜27が形成されている。

【0039】

なお、Hf膜26は、本発明の「第1金属層」の一例であり、Ta₂N膜27は、本発明の「第2金属層」の一例である。Hf膜26とTa₂N膜27とによって、メタルゲート40が構成されている。また、一对のソース／ドレイン領域23bと、ゲート絶縁膜25と、メタルゲート40とによって、SOI構造のMOSトランジスタが構成されている。

【0040】

また、素子形成領域を取り囲むとともに、埋め込み酸化膜22に達するように、Si₃N₄膜からなる素子分離用絶縁膜24が、約190nmの厚みで形成されている。ゲート絶縁膜25の両側面上および素子分離用絶縁膜24の素子形成領域側の側面上には、それぞれ、シリコン酸化膜からなるサイドウォール絶縁膜28が形成されている。

【0041】

ここで、この第2実施形態では、n型のソース／ドレイン領域23bに接触するとともに、サイドウォール絶縁膜28の側表面上に沿って、仕事関数が約3.9 eVに制御されたHf膜29が約10 nmの厚みで形成されている。このHf膜29は、n型のソース／ドレイン領域23bの表面上に、金属シリサイド膜などを介することなく直接接触するように形成されている。また、Hf膜29によって囲まれた領域内を充填するように、Hf膜29よりも厚みの大きいTa₂N膜30が形成されている。この仕事関数が制御されたHf膜29と、仕事関数が制御されないTa₂N膜30とによって、ソース／ドレイン電極41が形成されている。

【0042】

この第2実施形態では、単結晶シリコン層23からなるソース／ドレイン領域23bと、金属膜であるHf膜29およびTa₂N膜30とによって、エレベーター構造のソース／ドレインが構成されている。なお、Hf膜29は、本発明の「第3金属層」の一例であり、Ta₂N膜30は、本発明の「第4金属層」の一例である。

【0043】

第2実施形態では、上記のように、単結晶シリコン層23からなるソース／ドレイン領域23b上に、金属シリサイド膜などを介することなく接触するように、仕事関数が約3.9 eVに制御されたHf膜29を設けることによって、n型のソース／ドレイン領域23bの不純物濃度が低い場合にも、ソース／ドレイン領域23bとソース／ドレイン電極41との接合を、オーミック接触で、かつ、非常に低抵抗な接合にすることができる。これにより、ソース／ドレイン領域23bとソース／ドレイン電極41とからなるソース／ドレインの抵抗をより低抵抗化することができるとともに、微細化した場合にも不純物濃度が低いソース／ドレイン領域23bにより短チャネル効果を抑制することができる。また、短チャネル効果を抑制することにより、チャネル領域23aの不純物濃度を低くすることができるので、しきい値電圧を低減することができる。

【0044】

また、ソース／ドレイン電極41を、約10 nmの薄い仕事関数が制御された

Hf膜29と、Hf膜29よりも大きな厚みを有するとともに、従来からのソースドレイン電極材料であるTa₂N膜30とにより構成することによって、製造プロセスが比較的複雑な仕事関数が制御されたHf膜29のみによってソース／ドレイン電極41を形成する場合に比べて、ソース／ドレイン電極41の製造プロセスを容易に行うことができる。

【0045】

また、第2実施形態では、上記第1実施形態と同様、ゲート絶縁膜25上に、仕事関数が約3.9 eVに制御されたHf膜26を設けることによって、Hf膜26を含むメタルゲート40とゲート絶縁膜25との界面におけるHf膜26のピニングを抑制することができるので、金属からなるメタルゲート40を用いた場合にも、しきい値電圧が高くなるのを抑制することができる。

【0046】

なお、第2実施形態のその他の効果は、上記第1実施形態と同様である。

【0047】

図10～図19は、図9に示した第2実施形態による半導体装置の製造プロセスを説明するための断面図である。次に、図9～図19を参照して、第2実施形態による半導体装置の製造プロセスについて説明する。

【0048】

まず、図10に示すように、シリコン基板21上に、埋め込み酸化膜22を形成する。埋め込み酸化膜22上に、約100 nmの厚みを有する単結晶シリコン層（図示せず）を形成した後、その単結晶シリコン層を熱酸化することによって、約160 nmの厚みを有するシリコン酸化膜31と、約30 nmの厚みを有する単結晶シリコン層23とを形成する。この後、素子分離領域に位置するシリコン酸化膜31および単結晶シリコン層23を、フォトリソグラフィ技術とドライエッチング技術とを用いて除去する。そして、Si₃N₄膜（図示せず）を約250 nmの厚みで堆積した後、CMP法またはエッチバック法を用いて平坦化することによって、図10に示されるようなSi₃N₄膜からなる素子分離用絶縁膜24が形成される。この後、シリコン酸化膜31および素子分離用絶縁膜24上の所定領域に、溝状の開口パターンを有するレジスト膜32を形成する。

【0049】

そして、このレジスト膜32をマスクとして、シリコン酸化膜31をドライエッチングすることによって、図11に示すように、シリコン酸化膜31を溝状に加工する。このシリコン酸化膜31のドライエッチングは、エッチング時間と、シリコン酸化膜31と単結晶シリコン層23とのエッチング選択比の違いとを用いて、自動的に停止するように制御される。これにより、単結晶シリコン層23は、ほとんど削られることがない。この後、レジスト膜32を除去する。そして、露出された単結晶シリコン層23の表面を熱酸化することによって、約10nmの厚みを有するシリコン酸化膜（図示せず）を形成した後、このシリコン酸化膜を希フッ酸またはバッファードフッ酸により除去する。

【0050】

次に、図12に示すように、再び熱酸化法を用いて単結晶シリコン層23の露出された表面上に、約10nmの厚みを有するシリコン酸化膜33を形成した後、溝部を埋め込むように、約100nmの厚みを有するポリシリコン膜34を堆積する。そして、そのポリシリコン膜34の余分な堆積部分を、CMP法を用いて除去する。なお、このポリシリコン膜34をCMP法により除去する際には、素子分離用絶縁膜24を構成するシリコン窒化膜（SiN膜）がストッパ膜として機能する。この後、シリコン酸化膜31をドライエッチングにより除去する。

【0051】

次に、図13に示すように、熱酸化法を用いて単結晶シリコン層23の表面、ポリシリコン膜34の上面および側面に、約10nmの厚みを有するシリコン酸化膜35を形成した後、単結晶シリコン層23に、砒素（As）イオンを注入エネルギー：約15keV、注入量：約 $5 \times 10^{14} \text{ cm}^{-2}$ の条件下でイオン注入する。その後、約1000℃で約10秒間の熱処理を施すことによって、注入した砒素（As）を拡散させるとともに電氣的に活性化する。これにより、チャネル領域23aを挟むように、n型のソース／ドレイン領域23bが形成される。この後、CVD法を用いて、約200nmの厚みでシリコン酸化膜36を堆積した後、CMP法を用いてそのシリコン酸化膜36の余分な堆積部分を除去することによって、図14に示されるような形状が得られる。

【0052】

この後、ドライエッチングによりポリシリコン膜34を除去した後、底面に位置するシリコン酸化膜33および側面に位置するシリコン酸化膜35を除去することによって、図15に示されるように、チャネル領域23aの表面が露出される。

【0053】

次に、図16に示すように、CVD法またはスパッタ法を用いて、高誘電率絶縁膜であるHfO₂膜からなるゲート絶縁膜25を、SiO₂膜換算膜厚で約1nmの厚みで形成する。そして、ゲート絶縁膜25の表面上に沿って、スパッタ法を用いて、ゲート絶縁膜25との界面で表面反応が起こらない非常に低温（たとえば-100℃以下）の温度条件下で、仕事関数がほぼ一定（約3.9eV）に制御されたHf膜26を約10nmの厚みで堆積する。

【0054】

この後、スパッタ法またはCVD法を用いて、Hf膜26の溝部を埋め込むように、Ta₂N膜27を形成する。この後、Ta₂N膜27、Hf膜26およびゲート絶縁膜25の余分な堆積部分を、CMP法を用いて除去することによって、図17に示されるような平坦な形状が得られる。この後、シリコン酸化膜36をドライエッチングにより除去する。そして、全面に、CVD法を用いて、シリコン酸化膜（図示せず）を約50nmの厚みで堆積した後、そのシリコン酸化膜を異方性エッチングすることによって、図18に示されるようなシリコン酸化膜からなるサイドウォール絶縁膜28が形成される。

【0055】

次に、図19に示すように、単結晶シリコン層23のソース／ドレイン領域23bの表面に接触した状態で全面を覆うように、スパッタ法を用いて、ソース／ドレイン領域23bとの界面で表面反応が起こらない非常に低温（たとえば、-100℃以下）の温度条件下で、仕事関数がほぼ一定（約3.9eV）に制御されたHf膜29を約10nmの厚みで堆積する。そして、Hf膜29によって囲まれた領域を覆うように、スパッタ法またはCVD法を用いて、Ta₂N膜30を、約200nmの厚みで堆積する。この後、CMP法を用いて、Ta₂N膜30お

よびHf膜29の余分な堆積部分を、メタルゲート40と、ソース／ドレイン電極41となるTa₂N膜30およびHf膜29とが電氣的に分離されるまで削る。これにより、図9に示されるような第2実施形態による半導体装置が形成される。なお、この後、図示しない層間絶縁膜および配線部分を形成する。

【0056】

(第3実施形態)

図20は、本発明の第3実施形態による半導体装置を示した断面図である。図20を参照して、この第3実施形態では、図1に示した単結晶シリコン層からなるエレベータッド構造のソース／ドレイン領域上に、直接仕事関数が制御されたソース／ドレイン電極を形成する場合について説明する。すなわち、この第3実施形態では、図1に示した第1実施形態の構造と図9に示した第2実施形態の構造とを組み合わせた構造を有する。

【0057】

具体的には、この第3実施形態による半導体装置では、シリコン基板51上に、埋め込み酸化膜52が形成されている。埋め込み酸化膜52上には、約100nmの厚みを有する単結晶シリコン層53が形成されている。なお、単結晶シリコン層53は、本発明の「シリコン領域」および「シリコン層」の一例である。また、素子分離領域には、埋め込み酸化膜52に達するように、シリコン酸化膜からなる素子分離用絶縁膜54が形成されている。単結晶シリコン層53には、チャンネル領域53aを挟むように、n型の低濃度不純物領域からなるエクステンション領域53cが形成されている。また、エクステンション領域53cに連続するように、n型のソース／ドレイン領域53bが形成されている。

【0058】

単結晶シリコン層53のチャンネル領域53a上には、凹部53dが形成されている。これにより、ソース／ドレイン領域53bおよびエクステンション領域53cは、チャンネル領域53aに対して持ち上げられたエレベータッド構造を有する。チャンネル領域53a上には、凹部53dの表面に沿って形成されたU字形状を有するHfO₂膜（高誘電率絶縁膜）からなるゲート絶縁膜55が形成されている。このゲート絶縁膜55を構成するHfO₂膜は、SiO₂膜換算膜厚で約1

nmの厚みで形成されている。

【0059】

U字状のゲート絶縁膜55の内面に沿うように、仕事関数が約 3.9 eV に制御された約 10 nm の厚みを有するHf膜56が形成されている。U字状のHf膜56によって囲まれた領域を埋め込むように、Hf膜56よりも大きい厚みを有するTa₂N膜57が形成されている。仕事関数が制御されたHf膜56と、仕事関数が制御されないTa₂N膜57とによって、メタルゲート80が構成されている。また、一对のソース／ドレイン領域53bおよびエクステンション領域53cと、ゲート絶縁膜55と、メタルゲート80とによって、SOI構造のMOSトランジスタが構成されている。なお、Hf膜56は、本発明の「第1金属層」の一例であり、Ta₂N膜57は、本発明の「第2金属層」の一例である。また、U字状のゲート絶縁膜55の側面および素子分離用絶縁膜54の側面には、シリコン酸化膜58と、シリコン酸化膜からなるサイドウォール絶縁膜59とが形成されている。

【0060】

シリコン酸化膜58およびサイドウォール絶縁膜59によって囲まれた領域のソース／ドレイン領域53bに接触するように、仕事関数が約 3.9 eV に制御された約 10 nm の厚みを有するHf膜60が形成されている。このHf膜60によって囲まれた領域を埋め込むように、Ta₂N膜61が形成されている。この仕事関数が制御されたHf膜60と、Ta₂N膜61とによって、ソース／ドレイン電極81が構成されている。なお、Hf膜60は、本発明の「第3金属層」の一例であり、Ta₂N膜61は、本発明の「第4金属層」の一例である。

【0061】

第3実施形態では、上記のように、単結晶シリコン層53からなるソース／ドレイン領域53bおよびエクステンション領域53cを、チャネル領域53aに対して持ち上げたエレベータッド構造にすることによって、チャネル領域53aの厚みを小さくしながら、ソース／ドレイン領域53bの抵抗を低減することができる。さらに、そのエレベータッド構造を有するソース／ドレイン領域53bの表面に接触するように、n型のソース／ドレイン領域53bを構成するシリコ

ンの伝導帯の近傍のフェルミレベルを有するように仕事関数が制御されたHf膜60を含むソース／ドレイン電極81を設けることによって、ソース／ドレイン領域53bの不純物濃度が低い場合にも、ソース／ドレイン領域53bとソース／ドレイン電極81との接合を、オーミック接触で、かつ、非常に低抵抗に接合にすることができる。これにより、シリコンからなるソース／ドレイン領域53bおよびエクステンション領域53cと金属からなるHf膜60およびTa₂N膜61とにより構成されるソース／ドレインの抵抗をより低抵抗化することができるとともに、微細化した場合にも不純物濃度が低いソース／ドレイン領域53bにより、短チャネル効果を抑制することができる。また、短チャネル効果を抑制することにより、チャネル領域53aの不純物濃度を低くすることができるので、しきい値電圧を低減することができる。

【0062】

また、第3実施形態では、上記のように、チャネル領域53a上に、高誘電率絶縁膜(HfO₂膜)からなるゲート絶縁膜55を介して、n型ソース／ドレイン領域53bを構成するシリコンの伝導帯のエネルギーレベルの近傍のフェルミレベルを有するように仕事関数が制御されたHf膜56を含むメタルゲート80を設けることによって、メタルゲート80とゲート絶縁膜55との界面におけるHf膜56のピニングを抑制することができるので、メタルゲート80を用いた場合にも、しきい値電圧が高くなるのを抑制することができる。

【0063】

また、仕事関数が制御された約10nmの薄いHf膜56と、Hf膜56よりも大きな厚みを有するとともに、従来からのメタルゲート材料であるTa₂N膜57とによってメタルゲート80を構成することによって、製造プロセスが比較的複雑な仕事関数が制御されたHf膜56のみによってメタルゲート80を形成する場合に比べて、メタルゲート80の製造プロセスを容易に行うことができる。

【0064】

また、ソース／ドレイン電極81を、仕事関数が制御された約10nmの小さい厚みを有するHf膜60と、Hf膜60よりも大きな厚みを有するとともに、従来からのソースドレイン電極材料であるTa₂N膜61とにより構成することに

よって、製造プロセスが比較的複雑な仕事関数が制御されたHf膜60のみによってソース／ドレイン電極81を形成する場合に比べて、ソース／ドレイン電極81の製造プロセスを容易に行うことができる。

【0065】

また、第3実施形態では、SOI構造の単結晶シリコン層53からなる小さい厚みのチャネル領域53aを設けることによって、低いゲート電圧でオンオフ制御が可能となる。これにより、電子がゲート絶縁膜55と単結晶シリコン層53との界面に押し付けられる確率が低くなるので、界面散乱による影響を低減することができる。その結果、電子の移動度を大きくすることができるので、動作速度を向上させることができる。

【0066】

図21～図33は、図20に示した第3実施形態による半導体装置の製造プロセスを説明するための断面図である。次に、図20～図33を参照して、第3実施形態による半導体装置の製造プロセスについて説明する。

【0067】

まず、図21に示すように、シリコン基板51上に、埋め込み酸化膜52を形成する。埋め込み酸化膜52上に、約100nmの厚みを有する単結晶シリコン層53を形成する。単結晶シリコン層53の表面を熱酸化することによって、約5nmの厚みを有するシリコン酸化膜64を形成する。シリコン酸化膜64上の所定領域にレジスト膜65を形成する。このレジスト膜65をマスクとして、砒素(As)イオンを、単結晶シリコン層53に、注入エネルギー：約15keV、注入量：約 $1 \times 10^{15} \text{ cm}^{-2}$ の条件下でイオン注入する。この後、約1000℃で約10秒間の熱処理を施すことによって、注入した不純物(As)を拡散するとともに電氣的に活性化する。これにより、n型のソース／ドレイン領域53bが形成される。この後、レジスト膜65を除去する。さらに、希フッ酸またはバッファードフッ酸を用いてシリコン酸化膜64を除去する。

【0068】

次に、図22に示すように、熱酸化法を用いてシリコン酸化膜58を形成する。そして、CVD法を用いて、シリコン酸化膜58上に、約50nmの厚みを有

するポリシリコン膜 6 2 を形成する。ポリシリコン膜 6 2 上に、シリコン窒化膜 6 3 を形成する。シリコン窒化膜 6 3 上の所定領域に、レジスト膜 6 6 を形成する。

【0069】

次に、図 2 3 に示すように、レジスト膜 6 6 をマスクとしてシリコン窒化膜 6 3 を溝状にエッチングする。この後、レジスト膜 6 6 を除去する。

【0070】

次に、図 2 4 に示すように、溝状に加工されたシリコン窒化膜 6 3 をマスクとして、ポリシリコン膜 6 2、シリコン酸化膜 5 8 および単結晶シリコン層 5 3 をドライエッチングする。これにより、溝状の開口部 6 7 が形成される。

【0071】

次に、図 2 5 に示すように、溝状の開口部 6 7 を埋め込むように、シリコン酸化膜からなる素子分離用絶縁膜 5 4 を形成する。この後、シリコン窒化膜 6 3 および素子分離用絶縁膜 5 4 上の所定領域に、溝状の開口部を有するレジスト膜 6 8 を形成する。そして、その溝状の開口部を有するレジスト膜 6 8 をマスクとして、シリコン窒化膜 6 3 をドライエッチングすることによって、シリコン窒化膜 6 3 を、図 2 6 に示すように、溝状に加工する。この後、レジスト膜 6 8 を除去する。

【0072】

次に、図 2 7 に示すように、溝状に加工されたシリコン窒化膜 6 3 をマスクとして、ポリシリコン膜 6 2、シリコン酸化膜 5 8 および単結晶シリコン層 5 3 の一部を R I E 法を用いてドライエッチングすることによって、単結晶シリコン層 5 3 の途中までエッチングする。この場合、ポリシリコン膜 6 2 下のシリコン酸化膜 5 8 が露出した時点で、プラズマの発光波形からエッチングの終点検出を行うことによって、一旦、エッチングを止める。そして、約 5 0 n m の厚みを有するポリシリコン膜 6 2 のエッチングに要した時間 T 1 から単結晶シリコン層 5 3 を約 7 0 n m 分エッチングするのに必要な時間を推定する。簡単化のため、単結晶シリコンとポリシリコンとのエッチングレートを同じと仮定すると、単結晶シリコン層 5 3 を約 7 0 n m 分だけエッチングするには、1. 4 T の時間が必要に

なる。したがって、シリコン酸化膜 58 をエッチングにより除去した後、1.4 T の時間単結晶シリコン層 53 のエッチングを行うことにより、単結晶シリコン層 53 を約 70 nm 分だけエッチングすることが可能となる。これにより、単結晶シリコン層 53 に凹部 53 d が形成される。この凹部 53 d の形成によって、チャネル領域 53 a を挟むように、n 型の一对のソース／ドレイン領域 53 b が形成される。

【0073】

次に、図 28 に示すように、熱酸化法を用いて、単結晶シリコン層 53 の凹部 53 d の表面に沿って、シリコン酸化膜 59 を約 5 nm の厚みで形成する。そして、斜めイオン注入法を用いて、 $20^{\circ} \sim 30^{\circ}$ を傾斜させて、砒素 (As) イオンを、単結晶シリコン層 53 の凹部 53 d の内側面に、注入エネルギー: 約 15 keV、注入量: 約 $1 \times 10^{14} \text{ cm}^{-2}$ の条件下でイオン注入することによって、n 型のエクステンション領域 53 c を形成する。この場合、斜めイオン注入する開口部のアスペクト比は、他のゲート電極が形成される部分 (図示せず) のアスペクト比と揃えるようにするのが好ましい。このようにすれば、他のゲート電極が形成される部分についても、同様のエクステンション領域を形成することができる。この後、約 1000℃、約 10 秒の条件下で熱処理を施すことによって、不純物 (As) の電気的活性化を行う。この後、希フッ酸またはバッファードフッ酸を用いてシリコン酸化膜 69 を除去する。

【0074】

次に、図 29 に示すように、チャネル領域 53 a の上面上および凹部 53 d の側面上に沿うとともに、シリコン窒化膜 63 の上面上に沿うように、 HfO_2 膜からなるゲート絶縁膜 55 を、スパッタ法または CVD 法を用いて形成する。このゲート絶縁膜 55 は、 SiO_2 膜厚換算膜厚で約 1 nm の厚みで形成する。そして、ゲート絶縁膜 55 の表面上に沿って、スパッタ法を用いて、ゲート絶縁膜 55 との界面で表面反応が起こらない非常に低温 (たとえば -100°C 以下) の温度条件下で、仕事関数がほぼ一定 (約 3.9 eV) に制御された Hf 膜 56 を約 10 nm の厚みで堆積する。これにより、仕事関数がほぼ一定 (約 3.9 eV) に制御された Hf 膜 56 を形成することができる。

【0075】

その後、スパッタ法またはCVD法を用いて、Hf膜56によって囲まれた凹状領域を埋め込むとともにHf膜56の上面上に沿うように、TaN膜57を形成する。そして、CMP法を用いて、TaN膜57、Hf膜56およびゲート絶縁膜55の余分な堆積部分を除去することによって、図30に示されるような平坦化されたHf膜56およびTaN膜57からなるメタルゲート80が形成される。この後、所定領域にレジスト膜70を形成する。そして、レジスト膜70をマスクとして、シリコン窒化膜63をエッチングにより除去することによって、図31に示されるような形状が得られる。この後、レジスト膜70を除去する。

【0076】

そして、全面にシリコン酸化膜を約50nmの厚みで堆積した後、そのシリコン酸化膜を異方性エッチングすることによって、図32に示されるような、シリコン酸化膜からなるサイドウォール絶縁膜59が形成される。この場合、サイドウォール絶縁膜59下のシリコン酸化膜58が削られないようにエッチングする。この後、シリコン酸化膜58を希フッ酸またはバッファードフッ酸により除去することによって、ソース／ドレイン領域53bの表面を露出させる。

【0077】

次に、図33に示すように、スパッタ法を用いて、ソース／ドレイン領域53bに接触するとともに、全面を覆うように、仕事関数が約3.9eVになるように制御されたHf膜60を約10nmの厚みで形成する。その後、Hf膜60によって囲まれた領域を充填するように、スパッタ法またはCVD法を用いて、TaN膜61を形成する。この後、CMP法を用いて、TaN膜61およびHf膜60の余分な堆積部分を除去するとともに、メタルゲート80と、ソース／ドレイン電極となるTaN膜61およびHf膜60とが電氣的に分離されるようにする。これにより、図20に示したような第3実施形態による半導体装置が形成される。なお、この後、図示しない層間絶縁膜および配線部分を形成する。

【0078】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明では

なく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0079】

たとえば、上記実施形態では、本発明を、SOI構造を有する半導体装置（MOSトランジスタ）に適用した例を示したが、本発明はこれに限らず、通常のシリコン基板に形成される半導体装置（MOSトランジスタ）にも適用可能である。

【0080】

また、上記実施形態では、SOI層として単結晶シリコン層を用いたが、本発明はこれに限らず、SOI層として多結晶シリコン層を用いても同様の効果を得ることができる。

【0081】

また、上記実施形態では、エレベータッド構造を有するソース／ドレインに本発明を適用する例を示したが、本発明はこれに限らず、エレベータッド構造を有しないソース／ドレインにも本発明を適用可能である。

【0082】

また、上記実施形態では、nチャネル型MOSトランジスタのゲート電極およびソース／ドレイン電極に用いる仕事関数が制御された金属膜として、 3.9 eV の仕事関数を有するHfを用いたが、本発明はこれに限らず、nチャネル型MOSトランジスタのゲート電極およびソース／ドレイン電極に用いる仕事関数が制御された金属膜として、Hf膜に代えて、Siのコンダクションバンドと近い仕事関数となる 4.0 eV 近傍の仕事関数を有する金属膜を用いることが可能である。たとえば、 4.28 eV の仕事関数を有するAl膜を用いてもよい。

【0083】

また、上記実施形態では、nチャネル型MOSトランジスタに本発明を適用した例を示したが、本発明はこれに限らず、pチャネルMOSトランジスタにも適用可能である。pチャネルMOSトランジスタの場合には、仕事関数が制御された金属膜として、Hf膜に代えて、Siのバレンスバンドと近い仕事関数となる 5.0 eV 近傍の仕事関数を有する金属膜を用いる。たとえば、 5.15 eV の

仕事関数を有するNi膜や5.27 eVの仕事関数を有するIr膜を用いればよい。このようにすれば、Ni膜やIr膜のフェルミレベルが単結晶シリコン層を構成するシリコンの価電子帯のエネルギーレベルの近傍に位置することになる。

【0084】

また、上記実施形態では、メタルゲートおよびソース／ドレイン電極の下層としてのHf膜をたとえば-100℃以下の非常に低温の条件下でスパッタ法を用いて形成する例を示したが、メタルゲートの下層としてのHf膜は、ゲート絶縁膜上に形成されるので、ゲート絶縁膜との表面反応性が比較的低い。したがって、メタルゲートの下層としてのHf膜については、必ずしも-100℃以下の非常に低温の条件下で形成する必要はなく、通常のCVD法や、原子層レベルで堆積可能なALD (Atomic Layer Deposition) 法などの非常に低温ではない温度条件下でも形成可能である。ただし、非常に低温ではない温度条件下で形成する場合には、ゲート絶縁膜との界面での表面反応が少し発生する可能性があるため、仕事関数が少し変動する可能性がある。このため、その仕事関数の変動分を見込んだ材料を用いるのが好ましい。たとえば、nチャネル型MOSトランジスタのメタルゲートの下層としては、Siのコンダクションバンドのエネルギー(約4 eV)よりも少し小さい仕事関数を有する材料を使用するのが好ましく、pチャネル型MOSトランジスタのメタルゲートの下層としては、Siのバレンスバンドのエネルギー(約5 eV)よりも少し大きい仕事関数を有する材料を使用するのが好ましい。

【0085】

また、上記実施形態では、メタルゲートおよびソース／ドレイン電極の下層としてのHf膜をたとえば-100℃以下の非常に低温の条件下でスパッタ法を用いて形成する例を示したが、本発明はこれに限らず、メタルゲートおよびソース／ドレイン電極の下層としてのHf膜を、たとえば-100℃以下の非常に低温の条件下で、かつ、高真空(たとえば、 $\sim 1 \times 10^6$ Pa以下)の条件下で、スパッタ法を用いて形成するようにしてもよい。

【0086】

また、上記実施形態では、高誘電率絶縁膜として、HfO₂膜を用いた例を示

したが、本発明はこれに限らず、 HfO_2 膜以外の高誘電率絶縁膜を用いても同様の効果を得ることができる。 HfO_2 膜以外の高誘電率絶縁膜としては、たとえば、 ZrO_2 膜や HfAlO 膜を用いることができる。

【0087】

また、上記実施形態では、メタルゲートまたはソース／ドレイン電極の上層として、 TaN 膜を用いたが、本発明はこれに限らず、通常のメタルゲートに用いる材料であれば、他の材料からなる膜であってもよい。たとえば、 TaN 膜に代えて、 TiN 膜を用いることが可能である。

【0088】

また、上記実施形態では、シリコン基板およびシリコン層（ SOI 層）の面方位に言及していないが、（111）基板または（111）面を用いると、ソース／ドレイン領域を原子層レベルで平坦化した後、そのソース／ドレイン領域上に金属層を堆積する工程を容易に行うことができる。すなわち、シリコンの（111）面は、バッファードフッ酸（ BHF ）により選択的にウエットエッチングすることにより原子層レベルで平坦化することが可能であることが知られている。この場合、バッファードフッ酸による処理後は、表面が水素により終端されるので、大気中においても、高真空中と同程度の清浄でかつ安定な表面を得ることができる。この平坦な表面に対して、低温高真空で本発明の仕事関数が制御された金属層を堆積することにより、金属層とシリコン（ソース／ドレイン領域）との界面をよりピニングのない界面状態に近づけることが可能になる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態による半導体装置を示した断面図である。

【図2】

図1に示した第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図3】

図1に示した第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 4】

図 1 に示した第 1 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 5】

図 1 に示した第 1 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 6】

図 1 に示した第 1 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 7】

図 1 に示した第 1 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 8】

図 1 に示した第 1 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 9】

本発明の第 2 実施形態による半導体装置を示した断面図である。

【図 10】

図 9 に示した第 2 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 11】

図 9 に示した第 2 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 12】

図 9 に示した第 2 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 13】

図 9 に示した第 2 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 14】

図 9 に示した第 2 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 15】

図 9 に示した第 2 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 16】

図 9 に示した第 2 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 17】

図 9 に示した第 2 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 18】

図 9 に示した第 2 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 19】

図 9 に示した第 2 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 20】

本発明の第 3 実施形態による半導体装置を示した断面図である。

【図 21】

図 20 に示した第 3 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 22】

図 20 に示した第 3 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 23】

図 20 に示した第 3 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 2 4】

図 2 0 に示した第 3 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 2 5】

図 2 0 に示した第 3 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 2 6】

図 2 0 に示した第 3 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 2 7】

図 2 0 に示した第 3 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 2 8】

図 2 0 に示した第 3 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 2 9】

図 2 0 に示した第 3 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 3 0】

図 2 0 に示した第 3 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 3 1】

図 2 0 に示した第 3 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 3 2】

図 2 0 に示した第 3 実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 3 3】

図 2 0 に示した第 3 実施形態による半導体装置の製造プロセスを説明するため

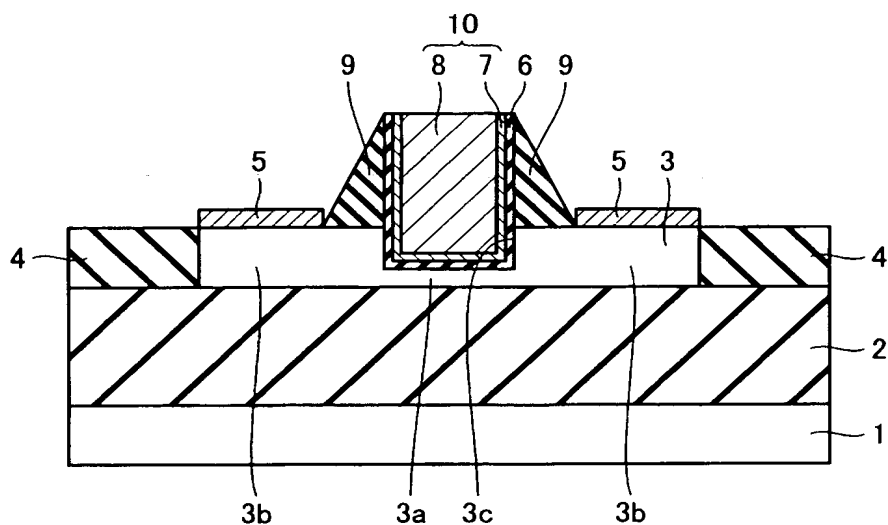
の断面図である。

【符号の説明】

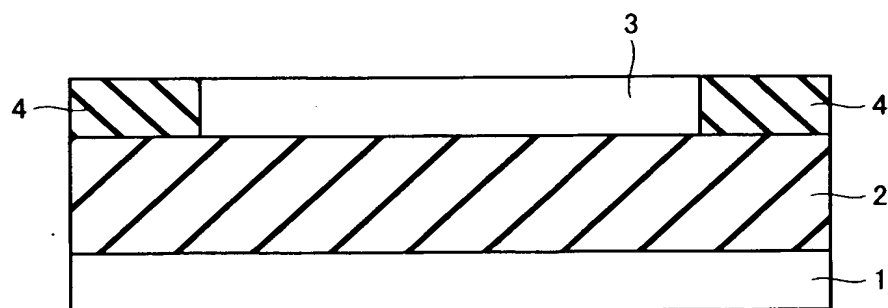
- 3、23、53 単結晶シリコン層（シリコン領域）
- 3a、23a、53a チャネル領域
- 3b、23b、53b ソース／ドレイン領域
- 53c エクステンション領域（ソース／ドレイン領域）
- 6、25、55 ゲート絶縁膜
- 7、26、56 Hf膜（第1金属層）
- 8、27、57 TaN膜（第2金属層）
- 29、60 Hf膜（第3金属層）
- 30、61 TaN膜（第4金属層）
- 10、40、80 メタルゲート
- 41、81 ソース／ドレイン電極

【書類名】 図面

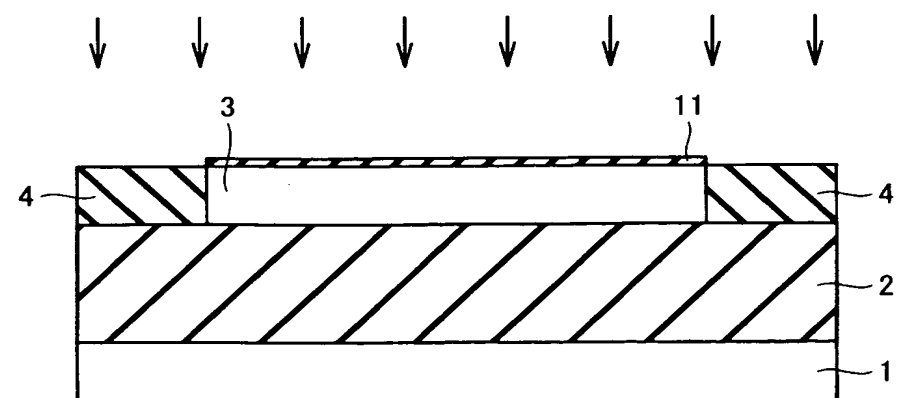
【図 1】



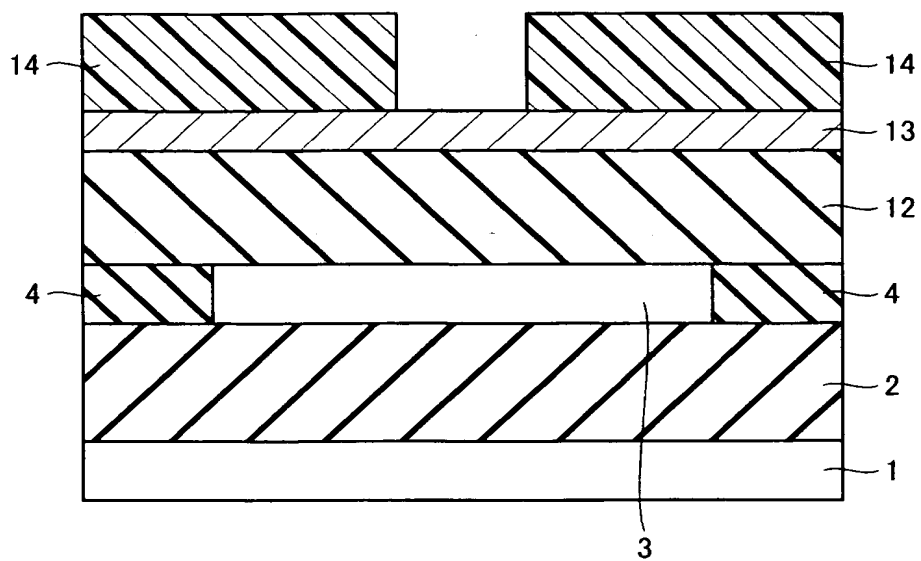
【図 2】



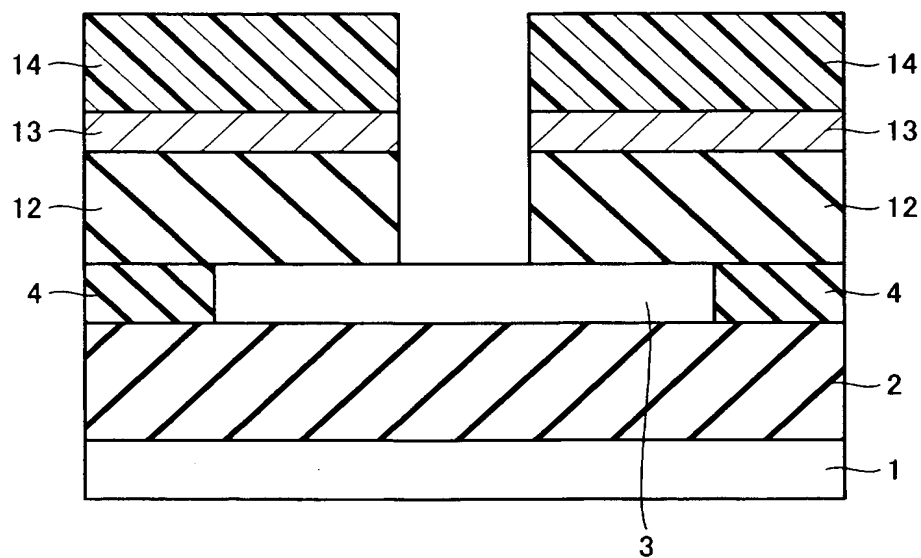
【図 3】



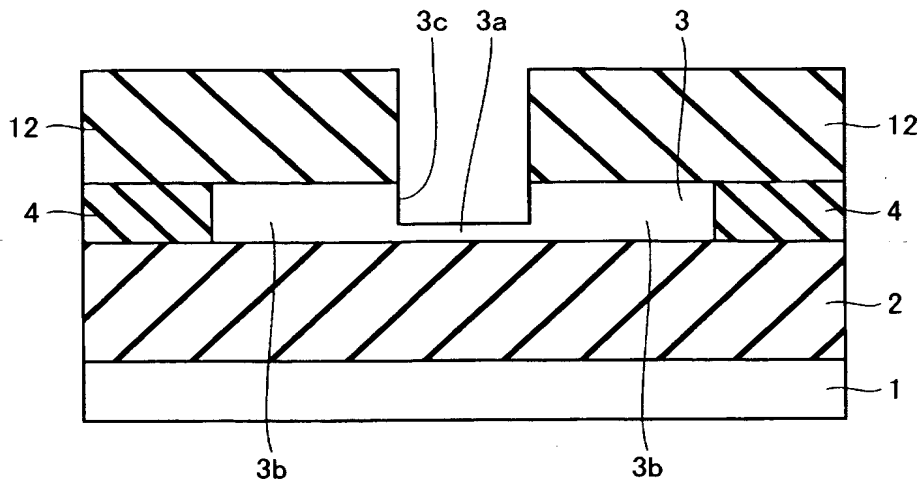
【図 4】



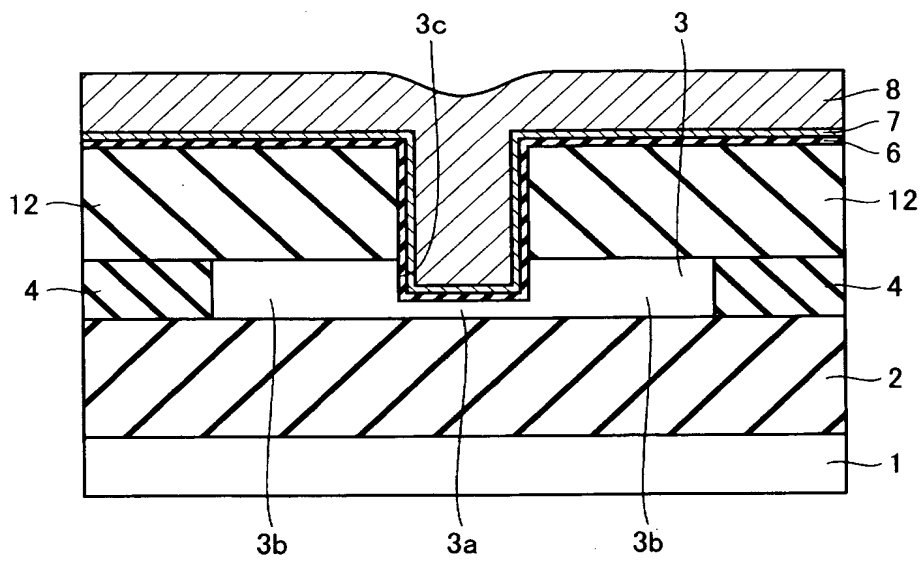
【図 5】



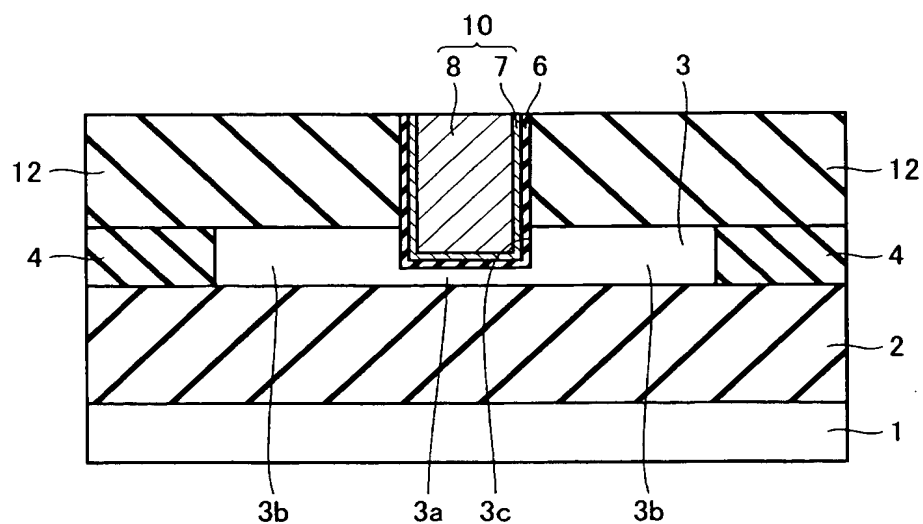
【図 6】



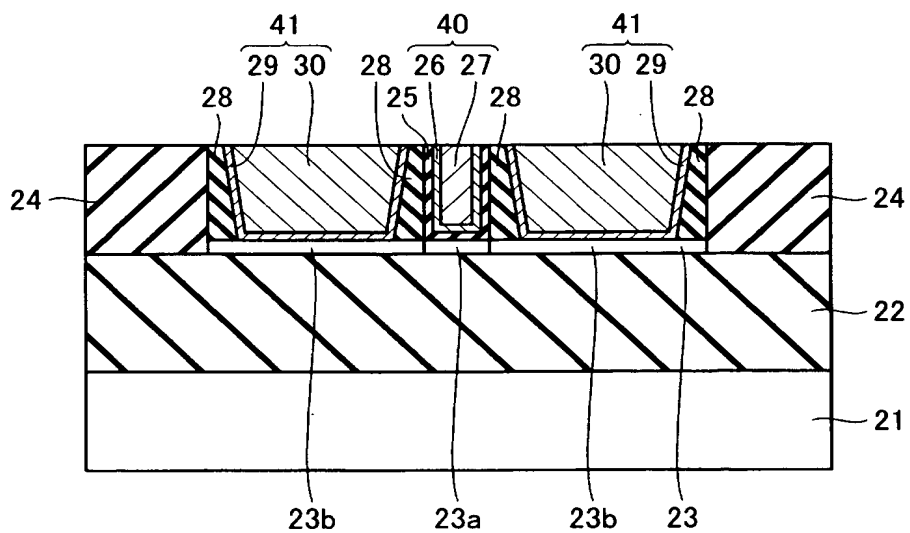
【図 7】



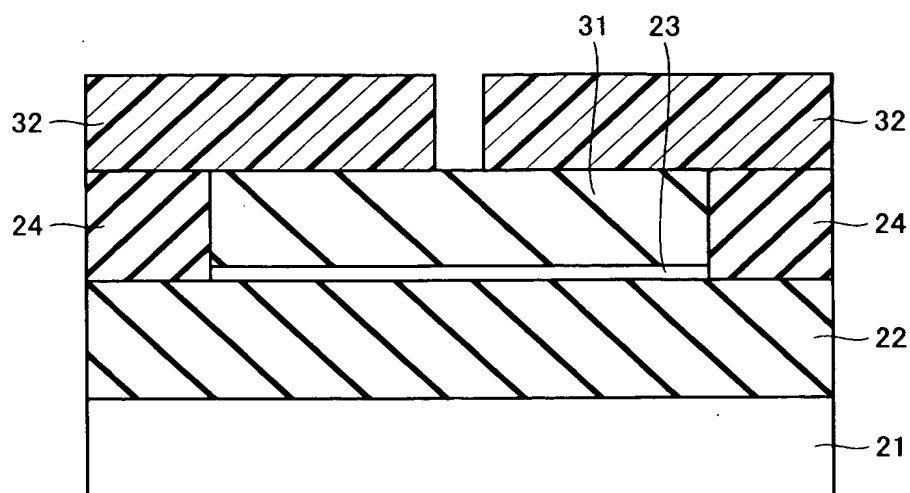
【図 8】



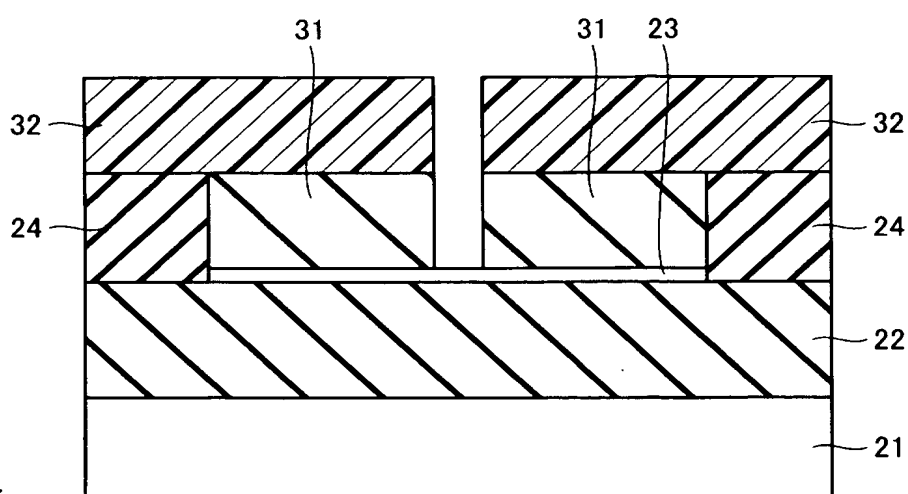
【図 9】



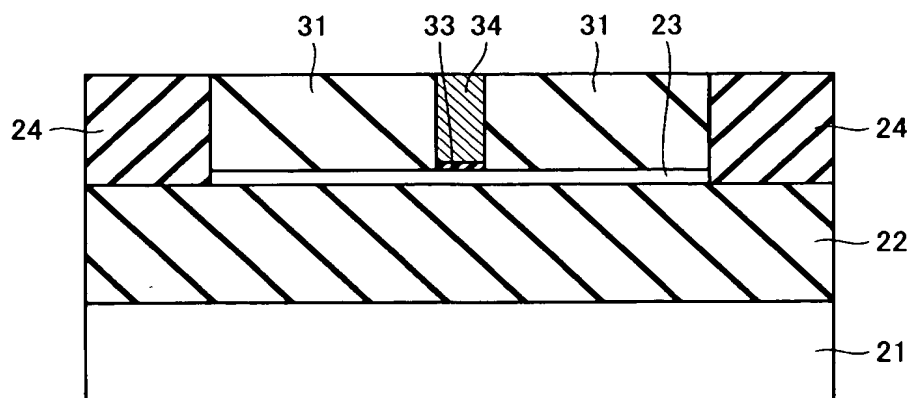
【図 10】



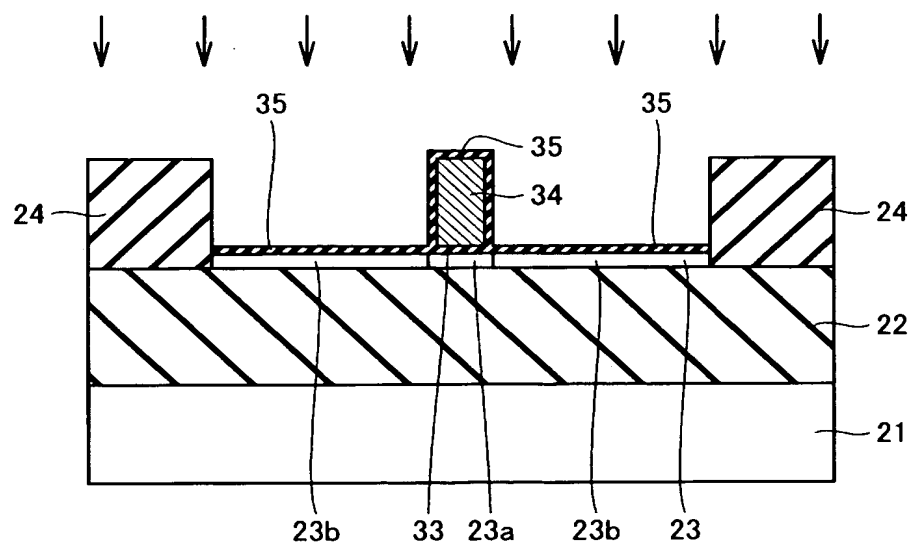
【図 11】



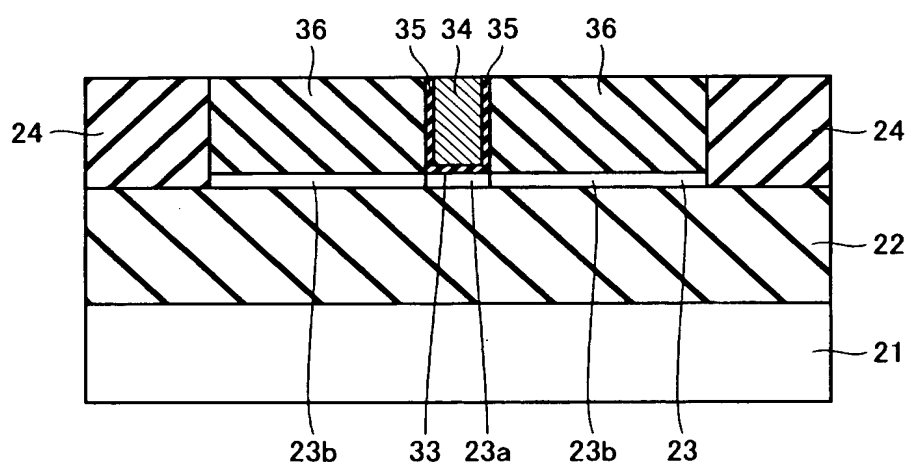
【図 12】



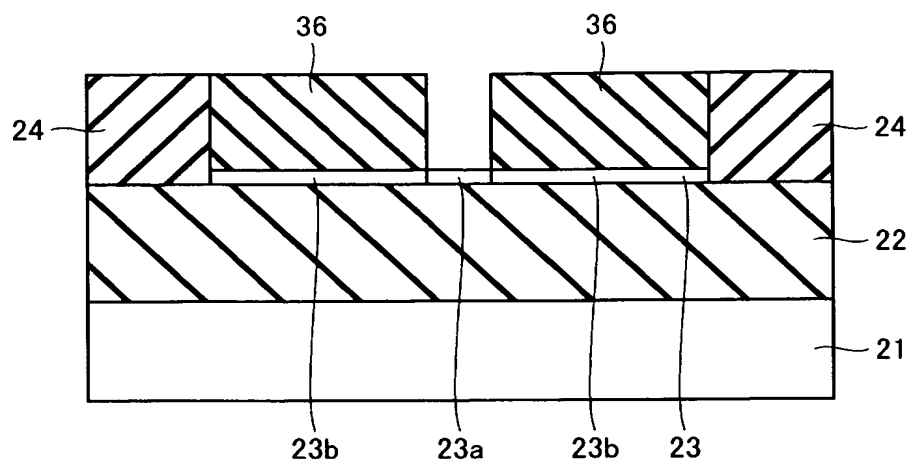
【図 13】



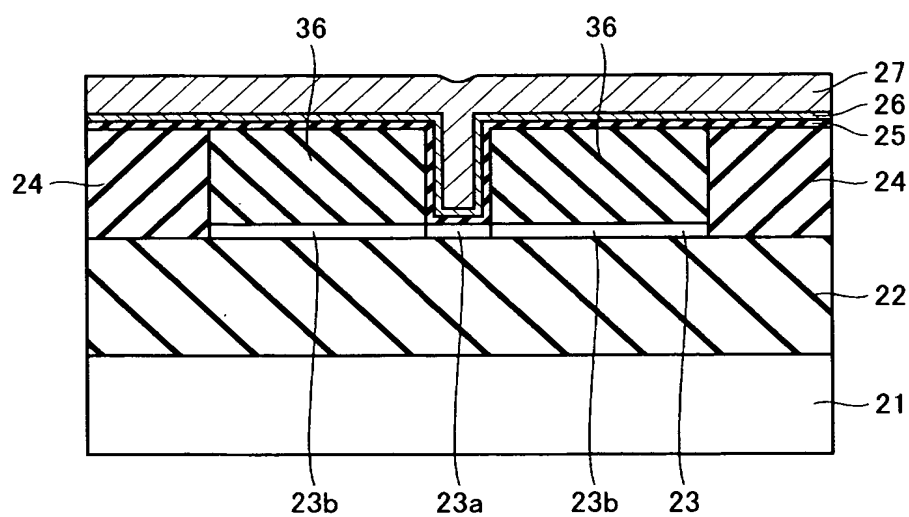
【図 14】



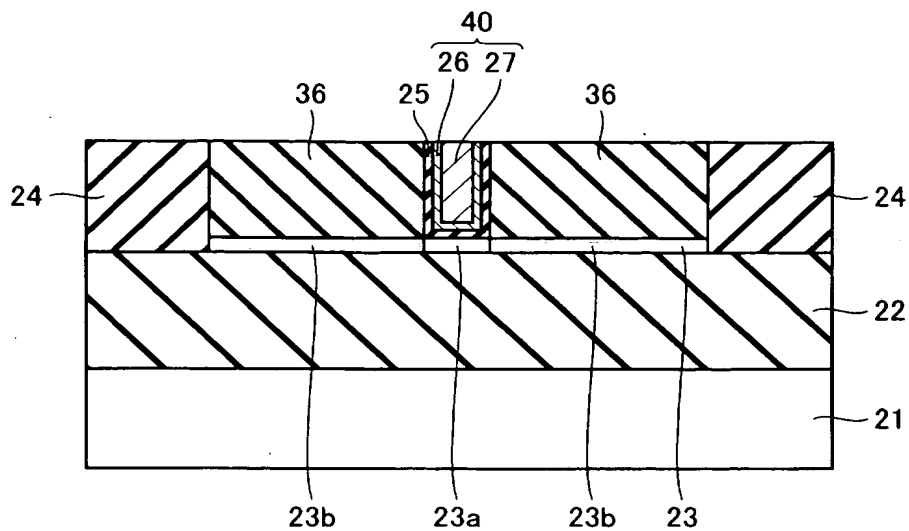
【図 15】



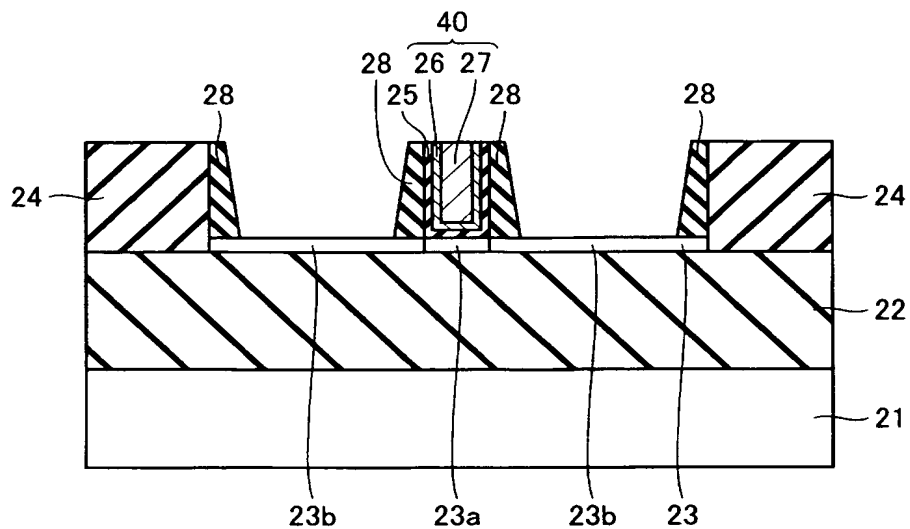
【図 16】



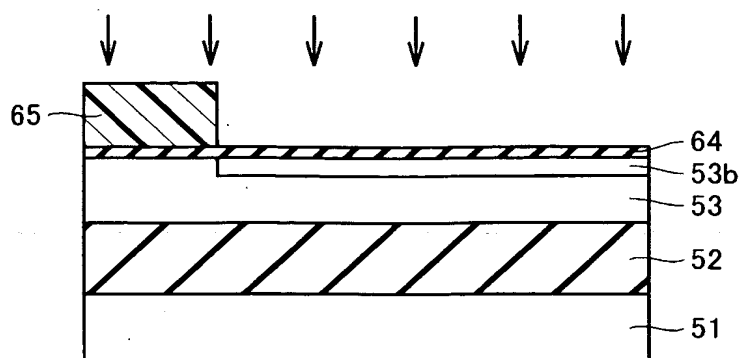
【図 17】



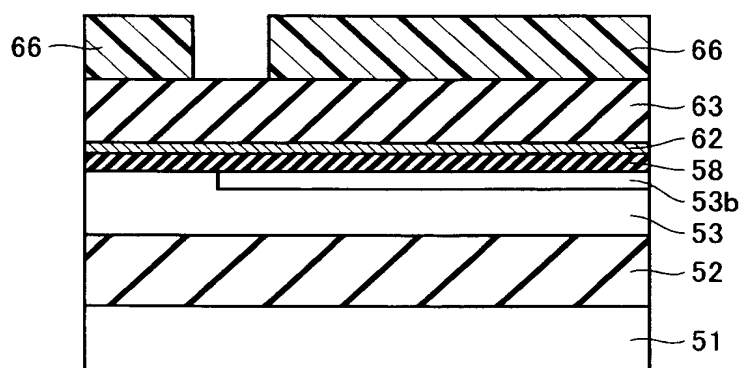
【図 18】



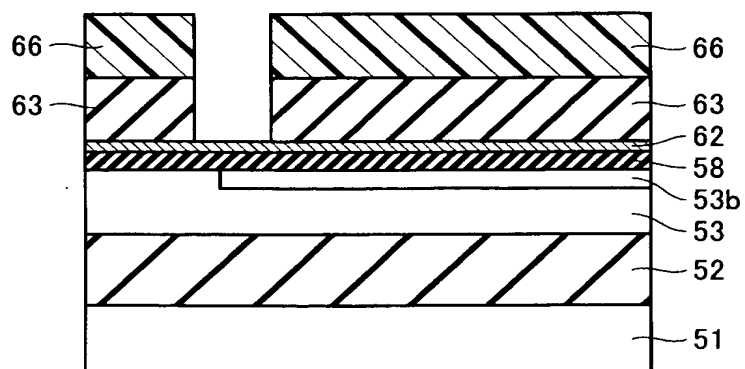
【図 2 1】



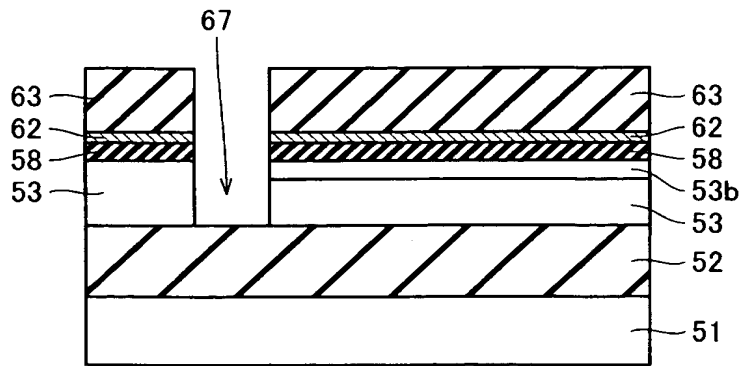
【図 2 2】



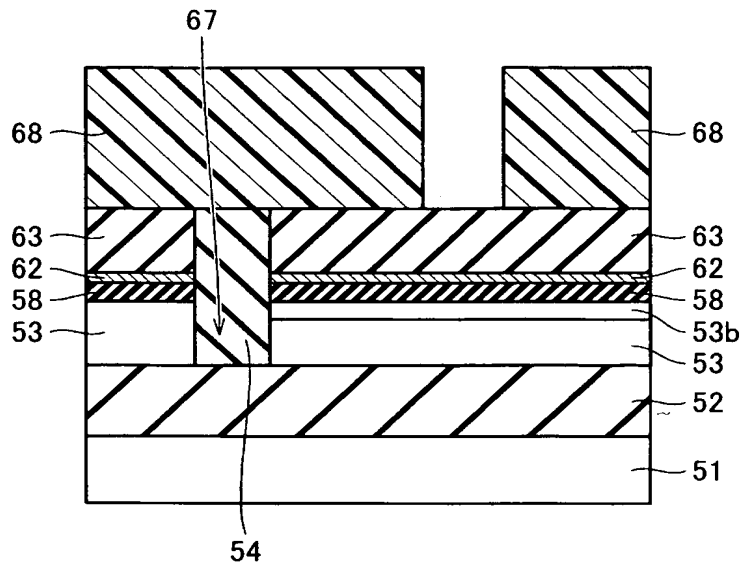
【図 2 3】



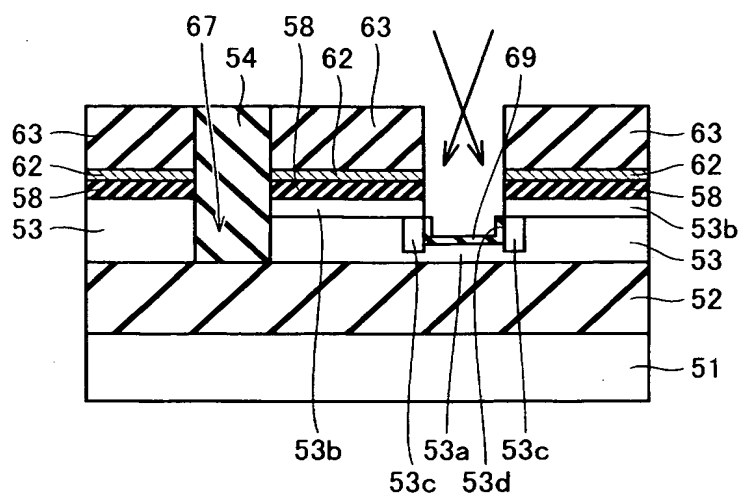
【図 24】



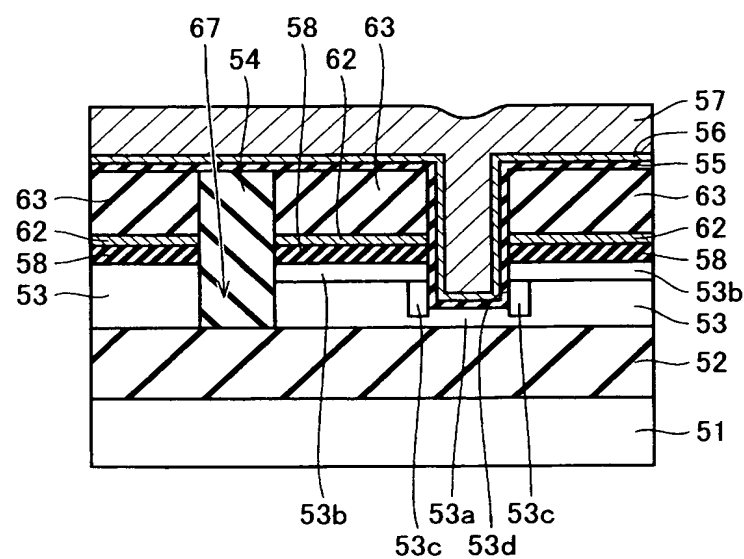
【図 25】



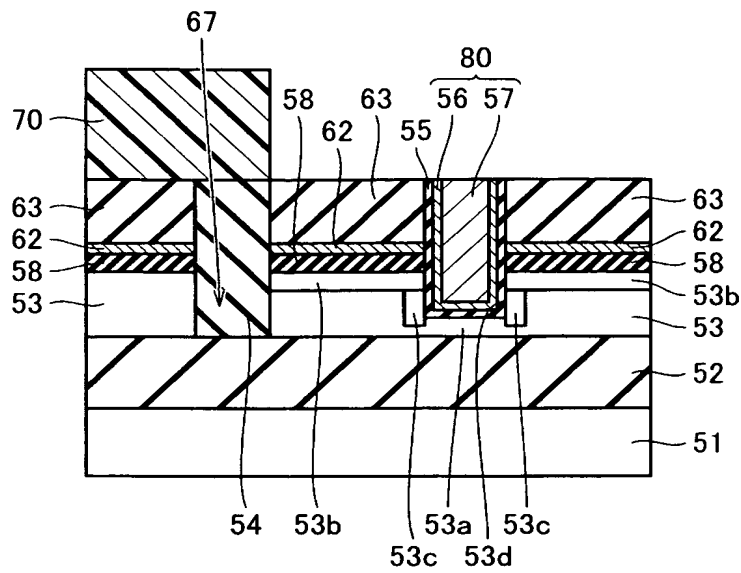
【図 28】



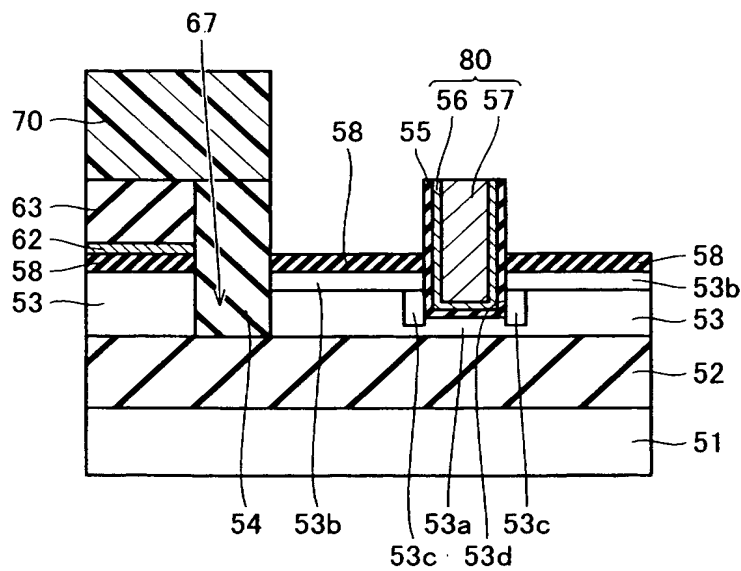
【図 29】



【図 30】



【図 31】





【書類名】 要約書

【要約】

【課題】 金属からなるゲート電極を用いた場合にも、しきい値電圧が高くなるのを抑制することが可能な半導体装置を提供する。

【解決手段】 この半導体装置は、単結晶シリコン層 3 の主表面に、チャネル領域 3 a を規定するように所定の間隔を隔てて形成され、上方に持ち上げられたエレベータ構造を有する一対の n 型のソース／ドレイン領域 3 b と、チャネル領域 3 a 上に形成された H f O₂ 膜（高誘電率絶縁膜）からなるゲート絶縁膜 6 と、ゲート絶縁膜 6 に接触するとともに、ソース／ドレイン領域 3 b を構成するシリコンのバンドギャップ端のエネルギーレベル（伝導帯）の近傍のフェルミレベルを有するように仕事関数が約 3.9 eV に制御された H f 膜 7 を含むメタルゲート 10 とを備えている。

【選択図】 図 1



特願 2003-083000

出願人履歴情報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社



特願 2 0 0 3 - 0 8 3 0 0 0

出 願 人 履 歴 情 報

識別番号 [3 0 1 0 2 1 5 3 3]

1. 変更年月日	2 0 0 1 年 4 月 2 日
[変更理由]	新規登録
住 所	東京都千代田区霞が関 1 - 3 - 1
氏 名	独立行政法人産業技術総合研究所